

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-107607

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H03K 17/687

H03K 17/12

H03K 19/0175

H03K 19/0948

(21)Application number : 08-255187

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 26.09.1996

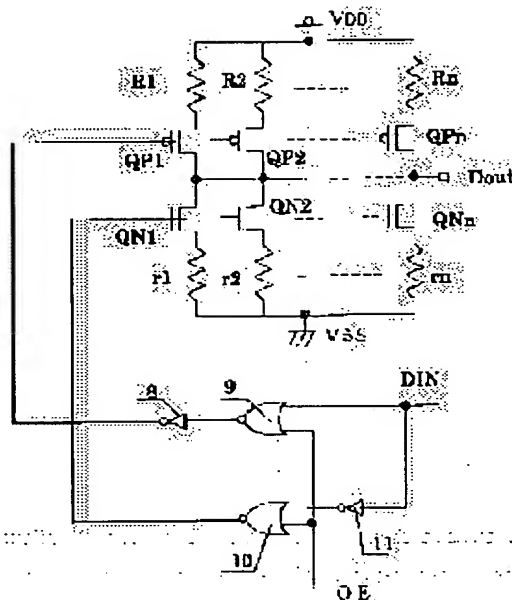
(72)Inventor : MIYASHITA KOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize a layout area and reduce noise that is caused by charge and discharge current of output load of an output buffer about an output buffer circuit of a semiconductor device by serially connecting resistance whose values are separately different between a plurality of switching elements and power supply.

SOLUTION: In an output buffer circuit, resistance whose values are separately different are serially connected between the plurality of switching elements and power supply. That is, QP1 to QPn are switching elements, e.g. p-channel MOS transistors and are parallelly connected between a VDD and an output terminal Dout via resistance R1 to Rn. Also, QN1 to QNn are switching elements, e.g. n-channel type transistors and are parallelly connected between a VSS and the terminal Dout via resistance r1 to rn. Because a timing delay circuit, etc., is not needed due to the structure, it becomes possible to reduce a layout area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107607

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁸ 識別記号H 0 3 K 17/687
17/12
19/0175
19/0948

F I

H 0 3 K 17/687
17/12
19/00
19/094

F

1 0 1 F

B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-255187

(22) 出願日 平成 8 年(1996) 9 月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 宮下 幸司

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

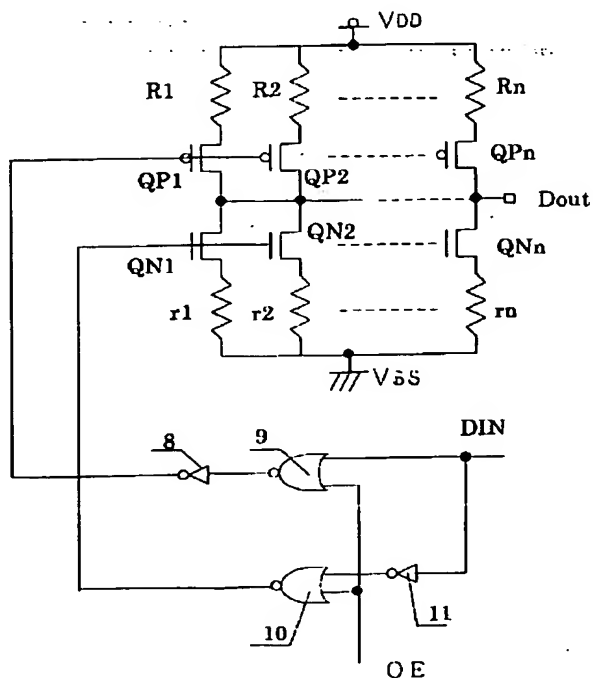
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置の出力バッファ回路に関し、レイアウト面積を最小限に押さえ、出力バッファの出力負荷の充放電電流により発生するノイズを低減する。

【解決手段】データを出力するための出力バッファ回路を有し、前記出力バッファ回路が、VDDとグラウンド間に直列に接続された第1、第2のMOSトランジスタからなり、前記第1、第2のMOSトランジスタがそれぞれ複数個のMOSトランジスタが並列に接続されて構成される半導体装置において、前記複数個のMOSトランジスタと電源間に直列に、値の異なる抵抗を接続する。

【効果】タイミング遅延回路等は必要ないため、最小のレイアウト面積で、出力判定レベルを越える電源のリバウンドによるアクセス遅れや、電源に乗ったノイズによる入力バッファ回路のロジックレベル変動等によるアクセス遅れの改善が可能となる。



【特許請求の範囲】

【請求項1】データを出力するための出力バッファ回路を有し、前記出力バッファ回路が、第1の電源と第2の電源との間に直列に接続された第1のスイッチング素子及び第2のスイッチング素子とを有し、前記第1及び前記第2のスイッチング素子がそれぞれ複数個のスイッチング素子を並列に接続してなる半導体装置において、前記複数個のスイッチング素子と前記電源との間に直列に、それぞれ値の異なる抵抗を接続してなることを特徴とする半導体装置。

【請求項2】データを出力するための出力バッファ回路を有し、前記出力バッファ回路が、第1の電源と第2の電源との間に直列に接続された第1のスイッチング素子及び第2のスイッチング素子とを有し、前記第1及び前記第2のスイッチング素子がそれぞれ複数個のスイッチング素子を並列に接続してなる半導体装置において、前記複数個のスイッチング素子のゲート電極と前記複数個のスイッチング素子のゲートを制御するための駆動信号発生回路との間に、それぞれ値の異なる抵抗を接続してなることを特徴とする半導体装置。

【請求項3】請求項1、又は請求項2に記載された半導体装置が有する抵抗の抵抗値は、前記第1あるいは、前記第2のスイッチング素子を形成する複数個のスイッチング素子のオンタイミングのずれがそれぞれ数ナノ秒以下となる様な値を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置における、出力バッファ回路に関する。

【0002】

【従来の技術】半導体装置の高速化にともない出力バッファにも、非常に大きいサイズのトランジスタが使用されている。このトランジスタによる大容量の出力負荷の充放電電流が引き起こすノイズが問題となっている。このノイズによる電源のリバウンド（出力判定レベルを越えるリバウンド）によるアクセス遅れや、入力バッファ等のロジックレベルの変動による、アクセス遅れが問題となっている。

【0003】そこで、本発明の従来技術として実開昭60-55129に示されるような技術が提案されている。図4を参照しながら、従来技術の説明を以下に行う。

【0004】Q1～Q4はNチャネル型MOSトランジスタ、1～4はNOR、5～7はインバータである。トランジスタQ1、Q2及びQ3、Q4は、出力が出力端子DOU Tに接続される出力トランジスタを構成している。Q1、Q2のゲートには、それぞれNOR1、NOR2の出力が接続される。同様にQ3、Q4のゲートにはそれぞれNOR3、NOR4の出力が入力される。NOR1、NOR2それぞれの一方の入力にはDATA信

号が入力されている。NOR3、NOR4それぞれの一方の入力にはインバータ7によりDATAの反転信号である／DATAが入力されている。また、NOR1、NOR3の他方の入力にはOE信号が入力されており、NOR2、NOR4の他方の入力にはインバータ5、6により、OE信号より時間も遅れたOE'信号が入力されている。DATAにLが入力され、OE信号が論理「L」に変化した場合、まずNOR1の出力が論理「H」となり、トランジスタQ2が、ON状態となり、Hのデータが出力され始める。このとき、OE信号が論理「L」に変化した後、時間t後OE'が論理「L」となりNOR2の出力が論理「H」となりトランジスタQ1が、Q2よりも遅れてON状態となる。同様にデータHの場合は、Q4がONして時間t後Q3がON状態となる。以上のように出力を構成するトランジスタQ2、Q1（あるいはQ4、Q3）のゲートに入力される信号にタイミング差を設けているので、前記Q2、Q1（あるいはQ4、Q3）が同時にONする事を防いでいるため、ノイズ低減を実現している。

【0005】

【発明が解決しようとする課題】従来の技術において、トランジスタQ1、Q2（あるいはQ3、Q4）それぞれのゲートに入力する信号にタイミング差をつけていたが、そのために出力バッファ駆動信号発生回路を構成するNOR回路及びインバータ回路等が余分に必要となるため、レイアウト面積が大きくなるという欠点があった。

【0006】

【課題を解決するための手段】本発明の請求項1に記載された半導体装置は、データを出力するための出力バッファ回路を有し、前記出力バッファ回路が、第1の電源と第2の電源との間に直列に接続された第1のスイッチング素子及び第2のスイッチング素子とを有し、前記第1及び前記第2のスイッチング素子がそれぞれ複数個のスイッチング素子を並列に接続してなる半導体装置において、前記複数個のスイッチング素子と前記電源との間に直列に、それぞれ値の異なる抵抗を接続してなることを特徴とする。

【0007】本発明の請求項2に記載された半導体装置は、データを出力するための出力バッファ回路を有し、前記出力バッファ回路が、第1の電源と第2の電源との間に直列に接続された第1のスイッチング素子及び第2のスイッチング素子とを有し、前記第1及び前記第2のスイッチング素子がそれぞれ複数個のスイッチング素子を並列に接続してなる半導体装置において、前記複数個のスイッチング素子のゲート電極と前記複数個のスイッチング素子のゲートを制御するための駆動信号発生回路との間に、それぞれ値の異なる抵抗を接続してなることを特徴とする。

【0008】本発明の請求項3に記載された半導体装置

は、請求項1又は2に記載された半導体装置が有する抵抗の抵抗値は、前記第1あるいは、前記第2のスイッチング素子を形成する複数個のスイッチング素子のオンタイミングのずれがそれぞれ数ナノ秒以下となる様な値を有することを特徴とする。

【0009】

【発明の実施の形態】図1、図2、図3を用いて半導体記憶装置を例にとって本発明の実施形態の説明を行う。図1においてQP1、QP2～QPnは、スイッチング素子、たとえば、Pチャネル型MOSトランジスタであり、抵抗R1、R2～Rnを介してVDDと出力端子Doutとの間に並列に接続されている。QN1、QN2～QNnは、スイッチング素子、たとえばNチャネル型MOSトランジスタであり、抵抗r1、r2～rnを介してVSSと出力端子Doutとの間に並列に接続される。前記Pチャネル型MOSトランジスタQP1、QP2～QPnのゲートはインバータ8の出力が入力される。前記Nチャネル型MOSトランジスタQN1、QN2～QNnのゲートはNOR10の出力が入力される。また、内部のメモリセルより読み出すデータDINはNOR9の一方の入力に入力される。さらに、インバータ11を介してDINの反転データがNOR10の一方の入力端子に入力される。NOR9、NOR10の他方の入力端子には信号OEが入力される。

【0010】このとき、Pチャネル型MOSトランジスタQP1、QP2～QPnのトランジスタ特性は同一であると仮定する。前記抵抗R1、R2～Rn、抵抗r1、r2～rnは、 $R1 \neq R2 \neq \dots \neq Rn$ 、 $r1 \neq r2 \neq \dots \neq rn$ とする。

【0011】ここで出力イネーブル信号OEが論理「L」とする。内部メモリセルから読み出されたデータDINが論理「H」の時、インバータ8の出力は論理「H」となり、前記Pチャネル型MOSトランジスタQP1、QP2～QPnは非活性の状態となる。NOR10の出力は論理「H」となり、前記Nチャネル型MOSトランジスタQN1、QN2～QNnは活性化される。このとき、抵抗 $r1 \neq r2 \neq \dots \neq rn$ であり、トランジスタにソース抵抗が接続された状態となるため、抵抗が大きい程 $Vd-I d$ 特性の非飽和領域の傾きが小さくなるため、一番小さい抵抗が接続されたトランジスタから順番に活性化され、論理「L」がDoutより出力される。次にデータDINが論理「L」の時、NOR10の出力は論理「L」となり、前記Nチャネル型MOSトランジスタQN1、QN2～QNnは、非活性状態となる。インバータ8の出力は論理「L」となり、Pチャネル型MOSトランジスタQP1、QP2～QPnは活性化状態となる。このとき、抵抗 $R1 \neq R2 \neq \dots \neq Rn$ であるので、接続された抵抗の小さい順に活性化される。以上の様に、活性化されるトランジスタのソース側の抵抗が異なるため同時にオン状態にならず、それぞ

れオンするタイミングが異なるため、出力負荷の充放電電流によるノイズを分散させる事によりノイズのピークを押さえる事が可能となる。

【0012】図2を用いて本発明の第2の実施形態の説明を行う。図2においてPチャネル型MOSトランジスタQP1、QP2～QPn、Nチャネル型MOSトランジスタQN1、QN2～QNn、出力バッファ駆動信号発生回路を構成するインバータ8、11、NOR9、10は第1の実施形態と同一であるので詳細な説明は省略する。インバータ8の出力と前記Pチャネル型MOSトランジスタQP1、QP2～QPnのそれぞれのゲート電極との間に抵抗RG1、RG2～RGnがそれぞれ接続されている。また、NOR10の出力と前記Nチャネル型MOSトランジスタQN1、QN2～QNnのゲート電極との間にそれぞれ、抵抗rg1、rg2～rgnが接続される。

【0013】このとき、Pチャネル型MOSトランジスタQP1、QP2～QPnのトランジスタ特性は同一であると仮定する。前記抵抗RG1、RG2～RGn、抵抗rg1、rg2～rgnは、 $RG1 \neq RG2 \neq \dots \neq RGn$ 、 $rg1 \neq rg2 \neq \dots \neq rgn$ とする。

【0014】ここで出力イネーブル信号OEが論理「L」とする。内部メモリセルから読み出されたデータDINが論理「H」の時、インバータ8の出力は論理「H」となり、前記Pチャネル型MOSトランジスタQP1、QP2～QPnは非活性の状態となる。NOR10の出力は論理「H」となり、前記Nチャネル型MOSトランジスタQN1、QN2～QNnは活性化される。このとき、抵抗 $rg1 \neq rg2 \neq \dots \neq rgn$ であり、接続された抵抗が大きいトランジスタ程 $Vg-I d$ 特性の非飽和領域での傾きが小さくなるため、一番小さい抵抗が接続されたトランジスタから順番に活性化され、論理「L」がDoutより出力される。次にデータDINが論理「L」の時、NOR10の出力は論理「L」となり、前記Nチャネル型MOSトランジスタQN1、QN2～QNnは、非活性状態となる。インバータ8の出力は論理「L」となり、Pチャネル型MOSトランジスタQP1、QP2～QPnは活性化状態となる。このとき、抵抗 $RG1 \neq RG2 \neq \dots \neq RGn$ であるので、接続された抵抗の小さい順に活性化される。以上の様に、活性化されるトランジスタが同時にオン状態にならず、それぞれオンするタイミングが異なるため、出力負荷の充放電電流によるノイズを分散させる事によりノイズのピークを押さえる事が可能となる。

【0015】上記図1、図2の実施形態の説明では、出力バッファの負荷側のトランジスタがPチャネル型MOSトランジスタを使用した場合について説明したが、Nチャネル型を使用する事も可能である。また、トランジスタ(QP1、QP2～QPnあるいはQN1、QN2～QNn)のソース側に抵抗を接続した場合を例にとつ

て説明したが、ドレイン側に接続しても同様の効果が得られる。

【0016】ここで、図3を参照して上記実施形態の説明で示したトランジスタ(QP1、QP2～QPnあるいはQN1、QN2～QNn)のオンタイミングのずれ量について補足する。実線1はトランジスタのオンタイミングを変化させない時の「L」出力波形であり、点線2はトランジスタのオンタイミングを変化させた場合の「L」出力波形である。波線は出力判定レベルである。実線1のアクセス時間はノイズによるリバウンドによりA'がアクセス時間となる。点線2の場合Bがアクセス時間となる。実線1のノイズによるリバウンドの幅は通常数n秒～数十n秒程度であり、トランジスタのオンタイミングのずれはBがA'を越えてしまうようだと効果がなくなるため、数n秒以下になる様に抵抗R1、R2～Rn、r1、r2～rn、RG1、RG2～RGn、rg1、rg2～rgnの値を設定する必要がある。さらに、抵抗R1、R2～Rn、r1、r2～rn、RG1、RG2～RGn、rg1、rg2～rgnの値は、トランジスタ自体(QP1、QP2～QPnあるいはQN1、QN2～QNn)のオン抵抗よりも大きくする必要があるのは言うまでもない。

【0017】本発明において、従来の技術に示されるようなタイミング遅延回路等は必要ないためレイアウト面積を削減する事が可能である。また前記抵抗R1、R2～Rn、抵抗r1、r2～rn、RG1、RG2～RGn、rg1、rg2～rgnは、ポリシリコン配線、ポリサイド配線等を使用する事により簡単にレイアウト上に配置する事が可能でありさらにはコンタクトの数により抵抗値を変化させる事も可能である。さらにレイアウトのみで抵抗を変化させる事が困難な場合は前記ポリシリコン配線、ポリサイド配線のイオン打ち込み量をマスクにより打ち分ける事も可能である。また、トランジスタ

タ自信の特性を変化(例えばVth、ゲート膜厚、拡散抵抗等)させる必要がないためプロセス工程数の増加もない。また試作時の特性合わせ込みのために、各トランジスタに接続される抵抗も複数あらかじめ配置する事によりレーザ加工やイオンビームを用いた加工が可能になり、適正な抵抗を配置する事が簡単に実現できる。

【0018】以上に示した実施形態において、出力バッファのトランジスタサイズは同一の物と仮定したが、トランジスタサイズをそれぞれ変えて、本発明と組み合わせる事も可能であるし、Vthやゲート膜厚を変えて、本発明と組み合わせる事も可能である。

【0019】

【発明の効果】本発明において、従来の技術に示されるようなタイミング遅延回路等は必要ないためレイアウト面積を削減する事が可能であり、活性化されるトランジスタに接続された抵抗が異なるため同時にオン状態にならず、それぞれオンするタイミングが異なるため、出力負荷の充放電電流によるノイズを押さえる事が可能となる。これにより、出力判定レベルを越える電源のリバウンドによるアクセス遅れや、電源に乗ったノイズによる入力バッファ回路のロジックレベル変動等によるアクセス遅れの改善が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を説明する図。

【図2】本発明の第2の実施形態を説明する図。

【図3】本発明の第3の実施形態を説明する図。

【図4】本発明に係わる従来技術を説明する図。

【符号の説明】

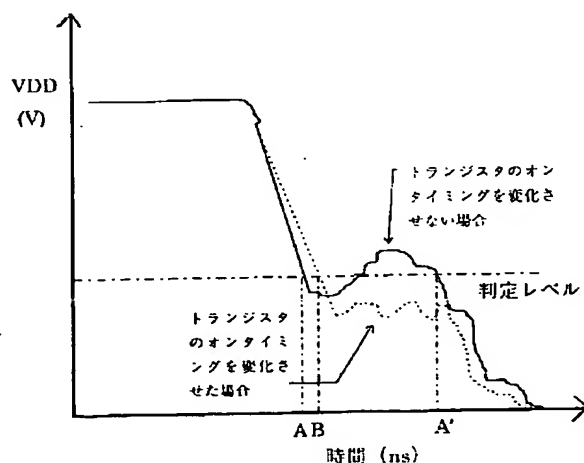
QP1～QPn、Q1～Q4・・・Pチャネル型MOSトランジスタ

QN1～QNn・・・Nチャネル型MOSトランジスタ

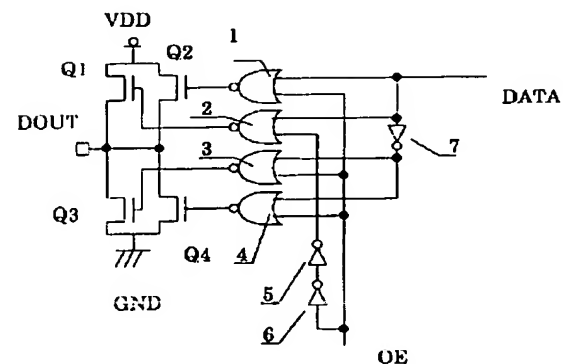
5、6、7、8、11・・・インバータ

1、2、3、4、9、10・・・NOR

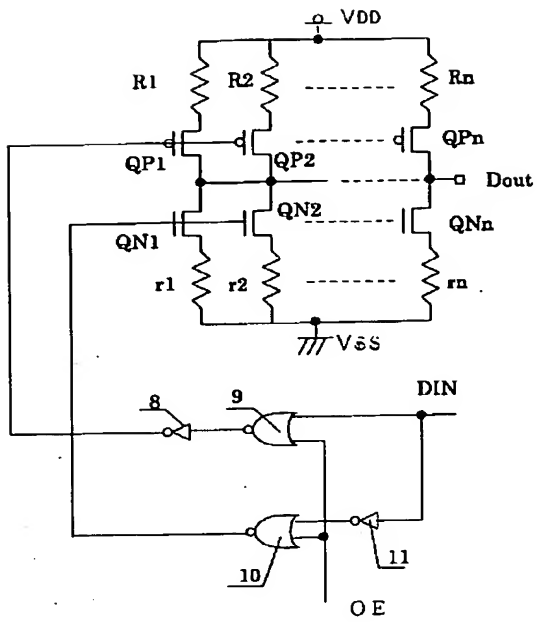
【図3】



【図4】



【図1】



【図2】

